

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-288593

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

G06F 11/22

(21)Application number : 08-102139

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.04.1996

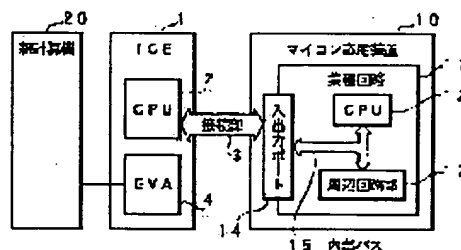
(72)Inventor : NAGATOME TOSHIHIDE

## (54) IN-CIRCUIT EMULATOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To efficiently develop a microcomputer application device mounting an integrated circuit when the integrated circuit is series-developed by permitting a connected processing means and a peripheral circuit part to substitute the functions of the integrated circuit and permitting an evaluation means to make then execute the operation recognition processing of the application device.

**SOLUTION:** An in-circuit emulator(ICE)1 is used by connecting it to the microcomputer application device 10 mounting the integrated circuit 11 and a master computer 20, and it has a connection part 3 and an EVA circuit part (EVA) 4. IN ICE1, CPU2 and the peripheral circuit part 13, which are connected by the connection part 3, substitute the functions of the integrated circuit 11 and EVA 4 causes CPU 2 and the peripheral circuit part 13 to execute a necessary processing for the operation recognition of the microcomputer application device 10. Even if the integrated circuit 11 is series-developed when CPU 2 is the same and the peripheral circuit part 13 differs, the functions of the respective integrated circuits 11 which are series-developed can be substituted by one ICE 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-288593

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 11/22

識別記号

3 4 0

庁内整理番号

F I

G 0 6 F 11/22

技術表示箇所

3 4 0 A

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-102139

(22) 出願日 平成8年(1996)4月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 永留 俊秀

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

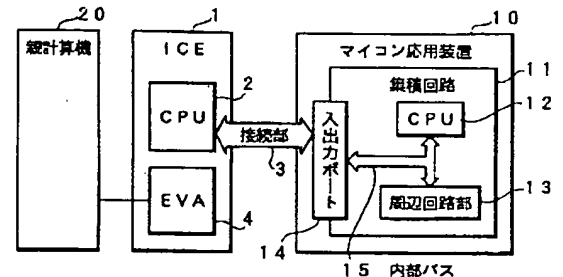
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 インサーキットエミュレータ

(57) 【要約】

【課題】 本発明は、集積回路をシリーズ展開した場合に、これらの集積回路を搭載するマイコン応用装置に対して、効率のよい開発を可能とするインサーキットエミュレータの提供を課題とする。

【解決手段】 中央処理部12と周辺回路部13とを備える集積回路11の機能を代行することにより、この集積回路11を搭載した応用装置10の動作確認を行うインサーキットエミュレータ1に、前記中央処理部12と同等の情報処理機能を有する処理手段2と、この処理手段2と前記周辺回路部13とを接続させる接続手段3と、接続された前記処理手段2と前記周辺回路部13とに対し、前記動作確認に必要な処理を行わせる評価手段4とを設ける。



実施形態の一例の概略構成のブロック図

## 【特許請求の範囲】

【請求項 1】 情報処理機能を有する中央処理部と該中央処理部における情報処理を支援する周辺回路部とを備える集積回路を搭載した応用装置に接続され、前記応用装置の動作確認を行うインサーキットエミュレータであって、

前記中央処理部と同等の情報処理機能を有する処理手段と、

該処理手段と前記周辺回路部とを接続させるとともに、前記処理手段と前記周辺回路部とが接続している間は前記中央処理部の情報処理機能の動作を停止させる接続手段と、

該接続手段によって接続された前記処理手段と前記周辺回路部とに対し、前記動作確認に必要な処理を行わせる評価手段とが設けられたことを特徴とするインサーキットエミュレータ。

【請求項 2】 前記接続手段は、前記集積回路内で前記中央処理部と前記周辺回路部との間を接続する内部バスに対して、該内部バスの接続の切り替えを行い前記処理手段と前記周辺回路部とを接続させるものであることを特徴とする請求項 1 記載のインサーキットエミュレータ。

【請求項 3】 前記接続手段は、前記集積回路と前記応用装置との間で前記中央処理部の情報処理機能によって処理される情報を授受するために前記集積回路に設けられたポートを介して、前記処理手段と前記周辺回路部とを接続させるものであることを特徴とする請求項 1 記載のインサーキットエミュレータ。

【請求項 4】 前記処理手段には、該処理手段の有する情報処理機能により処理する情報を前記接続手段から受け取る場合に、該処理手段が前記情報を受け取り可能になってから所定時間が経過するまでの間を、前記情報の受け取り待機状態とするウェイト機能が設けられたことを特徴とする請求項 1、2 または 3 記載のインサーキットエミュレータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータ（以下、マイコンと略す）応用装置を開発するためのツールであり、このマイコン応用装置に対する動作確認を行うためのインサーキットエミュレータ（incircuit emulator；以下 ICE と略す）に関するものである。

## 【0002】

【従来の技術】ICE とは、開発中のマイコン応用装置に対する動作確認を行うために、このマイコン応用装置に搭載されたマイコン、すなわち集積回路の機能を代行するものである。ただし、ここでいう動作確認は、ハードウェアの動作確認とソフトウェアのデバッグとを含むものとする。マイコン応用装置に搭載される集積回路には、情報処理機能を有する中央処理部（Central Proces

sing Unit；以下、CPU と略す）と、この CPU における情報処理を支援する周辺回路部とが、1 チップに集約されたものが多く用いられる。なお、周辺回路部とは、プログラム格納用の ROM（Read Only Memory）、データ時記憶用の RAM（Random Access Memory）、タイマ等の組み合わせからなるものである。

【0003】このような集積回路を搭載したマイコン応用装置に対する動作確認を行うために、従来の ICE は、例えば図 3 に示すように、マイコン応用装置 10 とソフトウェア開発用の親計算機 20（例えば、パーソナルコンピュータ）との間において用いられるようになっている。ただし、このとき、マイコン応用装置 10 側では、マイコン応用装置 10 の集積回路に替わって、このマイコン応用装置 10 に ICE 30 が接続されるようになっている。このように用いられる ICE 30 は、CPU 31 と、周辺回路部 32 と、エバ回路部（以下、EVA と略す）33 とから構成されている。CPU 31 及び周辺回路部 32 は、マイコン応用装置に搭載された集積回路における CPU 及び周辺回路部と同等機能を有するものであり、EVA 33 は、これらの CPU 31 及び周辺回路部 32 に対して、マイコン応用装置の動作確認に必要な処理を行わせるものである。

【0004】つまり、ICE 30 は、集積回路の CPU 及び周辺回路部と同等機能の CPU 31 及び周辺回路部 32 を備えるとともに、その集積回路に替わってマイコン応用装置 10 に接続されるようになっている。これにより、ICE 30 は、マイコン応用装置 10 の集積回路の機能を代行する。そして、ICE 30 では、マイコン応用装置 10 に対する動作確認を行うために、例えば動作のスタート/ストップ、レジスタのリード/ライト、メモリのリード/ライト、ブレークポイント機能などをエミュレートする。

【0005】なお、ICE 30 は、開発中のマイコン応用装置 10 に対する動作確認を行うためのものである。したがって、その動作確認の結果がマイコン応用装置 10 の集積回路の開発に影響を及ぼすために、ICE 30、すなわち CPU 31、周辺回路部 32、及び EVA 33 は、この集積回路に先行して開発されるようになっている。ただし、既に開発されている ICE 30 に新規開発部分の機能を有する汎用 IC、PLD（programmable logic device）、FPGA（field programmable gate array）等の組み合わせを接続することにより、既存の ICE 30 上に開発しようとする集積回路と同等の機能を実現させることも可能である。

## 【0006】

【発明が解決しようとする課題】ところで、一般に、マイコン応用装置を開発する場合に、搭載する集積回路をシリーズ展開することがよくある。シリーズ展開とは、例えば、集積回路を構成する CPU と周辺回路部とのうち、周辺回路部だけを新たな構成にすることにより、こ

の集積回路に新規機能を持たせることである。しかしながら、上述したICEでは、集積回路をシリーズ展開した場合であっても、シリーズ展開した各集積回路について、その機能を代行するICEをそれぞれ先行して開発しなければならない。つまり、集積回路の開発に併せてICEの開発を行わなければならない、そのために多くの手間を必要としてしまい、結果としてマイコン応用装置の開発効率の向上の妨げとなってしまう。

【0007】また、汎用IC、PLD、FPGA等の組み合わせによって集積回路と同一の機能を実現させた場合に、そのICEは、実際の集積回路と構成が異なるため、最終的な処理のタイミングやスピードが違ったり、アナログ回路が実現し難くなってしまう。すなわち、ICEと集積回路との間で、機能の面における相違点が発生してしまう可能性がある。

【0008】そこで、本発明は、集積回路をシリーズ展開した場合に、これらの集積回路を搭載するマイコン応用装置に対して効率のよい開発を可能とするとともに、集積回路との間で機能の面における相違点が発生することのないICEを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために案出されたICEで、情報処理機能を有する中央処理部とこの中央処理部における情報処理を支援する周辺回路部とを備える集積回路を搭載した応用装置に接続され、前記応用装置の動作確認を行うものであって、さらに、前記中央処理部と同等の情報処理機能を有する処理手段と、この処理手段と前記周辺回路部とを接続させるとともに、前記処理手段と前記周辺回路部とが接続している間は前記中央処理部の情報処理機能の動作を停止させる接続手段と、この接続手段によって接続された前記処理手段と前記周辺回路部とに対し、前記動作確認に必要な処理を行わせる評価手段とが設けられたことを特徴とする。

【0010】上記構成のICEによれば、接続手段は、集積回路の中央処理部と同等の情報処理機能を有する処理手段と、その集積回路の周辺回路部とを接続させる。これにより、処理手段及び周辺回路部は、集積回路と同等の機能を有することとなり、その機能を代行することが可能となる。ここで、評価手段が処理手段及び周辺回路部に対して応用装置の動作確認に必要な処理を行わせると、これら処理手段及び周辺回路部では、集積回路の機能を代行して応用装置の動作確認を行う。よって、このICEでは、例えば中央処理部が同一で周辺回路部が異なるといったように集積回路がシリーズ展開された場合であっても、シリーズ展開された各集積回路の機能を一つのICEによって代行する。

【0011】

【発明の実施の形態】以下、図面に基づき本発明に係わるICEについて説明する。図1には、本実施の形態に

おけるICE1の概略構成を示す。本実施の形態のICE1は、図1に示すように、1チップ化された集積回路11を搭載したマイコン応用装置10と、例えばパーソナルコンピュータ等からなるソフトウェア開発用の親計算機20との間において用いられるものである。

【0012】集積回路11は、いわゆる1チップマイコンと呼ばれるもので、従来と同様にCPU12及び周辺回路部13を備えるとともに、入出力ポート14と内部バス15とを備えているものである。入出力ポート14は、集積回路11とこの集積回路11の外部（例えば、マイコン応用装置10）との間で、CPU12あるいは周辺回路部13で処理される情報を授受するために設けられたものである。内部バス15は、CPU12、周辺回路部13、及び入出力ポート14を互いに接続するものである。ただし、この内部バス15は、通常の状態においてはCPU12と周辺回路部13とを接続している。

【0013】このように構成された集積回路11には、この集積回路11内でCPU12と周辺回路部13とを接続している内部バス15に対して、この内部バス15の接続を外部からの指示に従って切り替えて、周辺回路部13と入出力ポート14とを接続させる機能が予め設けられている。すなわち、この集積回路11では、CPU12と周辺回路部13と接続されている通常の状態を、周辺回路部13と入出力ポート14とが接続された状態であるエバモードに、外部からの指示に従って切り替える機能（エバモード機能）を有している。

【0014】なお、この集積回路11では、エバモード機能によって周辺回路部13と入出力ポート14とが接続されると、CPU12と周辺回路部13との接続が遮断され、CPU12がその情報処理機能の動作を停止するようになっている。また、エバモード機能によって周辺回路部13に接続される入出力ポート14は、エバモードに対応する専用ポートとして予め設けられたものであっても、本来は他の機能を有する汎用ポートをエバモード時のみ使用するものであってもよい。つまり、入出力ポート14は、集積回路11の1次機能として設けられた専用ポートであっても、集積回路11の2次機能として設けられた汎用ポートであってもよい。ただし、入出力ポート14が2次機能として設けられている場合には、汎用ポート等の1次機能を代替するポート等を、後述するICE1に設けなければならない。

【0015】本実施の形態のICE1は、このような集積回路11を搭載したマイコン応用装置10と、親計算機20とに接続されて用いられるものであり、CPU2と、接続部3と、EVA4とから構成されているものである。ただし、このICE1では、マイコン応用装置10と接続する際に、従来のもののように集積回路11に替わって接続するのではなく、集積回路11の入出力ポート14に接続するようになっている。

【0016】CPU2は、本発明における処理手段として機能するものであり、集積回路11のCPU12と同等の情報処理機能を有するものである。ただし、CPU2には、このCPU2の有する情報処理機能により処理する情報を、後述するように接続部3を介して接続された集積回路11から受け取る場合に、情報を受け取り可能になってから所定時間が経過するまでの間を、その情報の受け取り待機状態とするウェイト機能が設けられている。なお、受け取り待機状態とする所定時間は、予めの設定により定められているものとする。

【0017】接続部3は、本発明における接続手段として機能するものであり、CPU2と集積回路11の周辺回路部13とを接続させるために、例えば、集積回路11の入出力ポート14に接続されるコネクタ部と、このコネクタ部とCPU2とを接続するケーブル部とからなるものである。さらに、この接続部3では、コネクタ部が出力ポート14に接続された際に、集積回路11がエバモードに切り替わるように、この集積回路11に対する切り替え指示を与えるようになっている。つまり、接続部3は、集積回路11内の内部バス15の接続を切り替えることにより、CPU2と周辺回路部13とを接続させるとともに、これらのCPU2と周辺回路部13とが接続している間は集積回路11のCPU12の情報処理機能を停止させるものである。

【0018】EVA4は、本発明における評価手段として機能するものであり、接続部3によって接続されたCPU2及び周辺回路部13、またはCPU2及び周辺回路部13の一部に対し、マイコン応用装置10に対する動作確認に必要な処理を行わせるものである。この動作確認に必要な処理としては、例えば、動作のスタート/ストップ、レジスタのリード/ライト、メモリのリード/ライト、ブレイクポイント機能などがある。すなわち、EVA4では、これらの処理を集積回路11に替わって、CPU2及び周辺回路部13にエミュレートさせるようになっている。

【0019】次に、このように構成されたICE1を用いて、マイコン応用装置10に対する動作確認を行う場合について説明する。ICE1の接続部3を集積回路11の入出力ポート14に接続させると、集積回路11には、接続部3からエバモードへの切り替え指示が与えられる。そして、集積回路11では、その切り替え指示に従って、CPU12と周辺回路部13との間の内部バス15の接続を切り替えて、周辺回路部13と入出力ポート14とを接続させる。このとき、集積回路11は、CPU12の情報処理機能の動作を停止する。

【0020】集積回路11がエバモードに切り替わり、周辺回路部13と入出力ポート14とが接続されると、ICE1のCPU2とこの入出力ポート14とは接続部3によって接続されているので、結果として集積回路11の周辺回路部13とICE1のCPU2とが接続され

ることとなる。CPU2と周辺回路部13とが接続されると、EVA4は、親計算機20からの情報を基に、これらCPU2及び周辺回路部13、またはCPU2及び周辺回路部13の一部に対し、マイコン応用装置10に対する動作確認に必要な処理を行わせる。これにより、集積回路11の機能は、CPU2と周辺回路部13とによってエミュレートされる。

【0021】このとき、CPU2と周辺回路部13との間では、このCPU2の有する情報処理機能により処理する情報が、接続部3を介して授受されている。ただし、CPU2には、ウェイト機能が設けられている。すなわち、CPU2では、接続部3を介して受け取る情報に対して、その情報を受け取り可能になってから所定時間が経過するまでの間を、情報の受け取り待機状態とする。したがって、CPU2と周辺回路部13との間に接続部3を介することにより、これらの間における情報転送の能力が低下しても、CPU2では、確実に情報を受け取ることが可能となる。

【0022】以上のように、本実施の形態のICE1は、接続部3により接続されたCPU2と周辺回路部13とが集積回路11の機能を代行するとともに、EVA4がこれらCPU2及び周辺回路部13に対してマイコン応用装置10の動作確認に必要な処理を行わせるようになっている。よって、このICE1では、例えばCPUが同一で周辺回路部が異なるといったように集積回路がシリーズ展開された場合であっても、シリーズ展開された各集積回路の機能を一つのICE1によって代行することができる。すなわち、シリーズ展開された各集積回路の開発に併せて、それぞれのICEの開発を行う必要がなく、結果として従来に比べてマイコン応用装置の開発効率の向上が可能となる。

【0023】また、汎用IC、PLD、FPGA等の組み合わせによって集積回路と同一の機能を実現させた場合と異なり、このICE1は、機能を代行する対象となる集積回路と同様の構成を有するため、最終的な処理のタイミングやスピードが違ったり、アナログ回路が実現し難くなってしまうことがない。すなわち、ICE1と集積回路との間で機能の面における相違点が生じることがないので、マイコン応用装置に対して、確実に、かつ、信頼度の高い動作確認を実現することができる。つまり、このICE1は、集積回路をシリーズ展開した場合に、従来に比べて開発効率を向上させることが可能となり、さらに確実に、かつ、信頼度の高い動作確認を実現することができる。

【0024】さらに、本実施の形態のICE1では、接続部3が集積回路11内の内部バス15の接続を切り替えることにより、CPU2と周辺回路部13とを接続させるようになっている。つまり、通常の状態において、集積回路11内のCPU12と周辺回路部13との間を接続する内部バス15が、エバモード時にCPU2と周

辺回路部 13 とを接続させるようになっている。よって、CPU 2 と周辺回路部 13 との間では、集積回路 1 内の CPU 12 と周辺回路部 13 との間と同様に、情報の授受を高速で行うことができる。

【0025】また、本実施の形態の ICE 1 は、CPU 2 にウェイト機能が設けられている。すなわち、例えば接続部 3 の一部に情報伝送能力の低いケーブルを用いた場合であっても、CPU 2 では、所定時間が経過するまでの間は情報の受け取り待機状態となっている。よって、CPU 2 は、情報の受け取りを確実に行うことができ、その結果周辺回路部 13 との間のインターフェースの信頼度が増す。つまり、接続負荷によるインターフェースの遅れが、低速の周辺回路部との接続にも動作クロックの変更無しに対応可能となる。

【0026】次に、本発明に係わる ICE の他の実施の形態について、図 2 を参照して説明する。本実施の形態の ICE 1 a は、上述した実施の形態の ICE 1 と接続部 3 a が異なるものである。

【0027】この接続部 3 a は、集積回路 11 に設けられた入出力ポート 14 を介して CPU 2 と周辺回路部 13 とを接続させるものである。ただし、接続部 3 a では、集積回路 11 とマイコン応用装置 10 との間で、CPU 12 の情報処理機能によって処理される情報を授受するために設けられた入出力ポート 14 を介するようになっている。よって、この入出力ポート 14 は、上述した実施の形態の場合と異なり、内部バス 15 と接続する機能を有していなくても良い。なお、この入出力ポート 14 は、集積回路 11 に設けられた汎用ポート（入力、出力、または入出力）を使用しても良いが、ソフトウェアでの制御を簡易にするために、外部メモリアクセス用のポートを使用することが好ましい。

【0028】また、この接続部 3 a は、入出力ポート 14 と接続した際に、集積回路 11 がエバモードに切り替わるように、この集積回路 11 に対する切り替え指示を与えるようになっている。ただし、この切り替え指示には、入出力ポート 14 を介して CPU 12 に与える停止指示信号も含まれる。つまり、接続部 3 a では、入出力ポート 14 を介して CPU 2 と周辺回路部 13 とを接続させるとともに、これらの CPU 2 と周辺回路部 13 とが接続している間は集積回路 11 の CPU 12 の情報処理機能を停止させるものである。

【0029】このように構成された ICE 1 a では、上述した実施の形態における ICE 1 の場合と同様に、マイコン応用装置 10 に対する動作確認を行う。よって、この ICE 1 a においても、集積回路をシリーズ展開した場合に、従来に比べて開発効率を向上させることが可

能となり、さらに確実に、かつ、信頼度の高い動作確認を実現することができる。

【0030】ただし、この ICE 1 a では、CPU 2 と周辺回路部 13 とを接続させる際に、集積回路 11 内の内部バス 15 の接続切り替えを行わずに、例えば外部メモリアクセス用の入出力ポート 14 を介して行うようになっている。したがって、CPU 2 と周辺回路部 13 との間の情報の授受が、内部バス 15 の接続切り替えを行う場合に比べて低速となるが、内部バス 15 の接続切り替えを行う必要がないので、簡素な構成で上述の効果を

【0031】

【発明の効果】以上に説明したように、本発明の ICE は、接続手段により接続された処理手段と周辺回路部とが集積回路の機能を代行するとともに、評価手段がこれら処理手段及び周辺回路部に対して応用装置の動作確認に必要な処理を行わせるようになっている。よって、この ICE では、例えば集積回路がシリーズ展開された場合であっても、シリーズ展開された各集積回路の機能を一つの ICE によって代行することができるので、前記各集積回路の開発に併せてそれぞれの ICE を開発する必要がなく、結果として従来に比べて開発効率が向上する。また、この ICE は、機能を代行する対象となる集積回路と同様に構成されているため、最終的な処理のタイミングやスピードが違ったり、アナログ回路が実現し難くなってしまうことがなく、確実に、かつ、信頼度の高い動作確認を実現することができる。

【図面の簡単な説明】

【図 1】本発明に係わるインサーキットエミュレータの実施の形態の一例の概略構成を示すブロック図である。

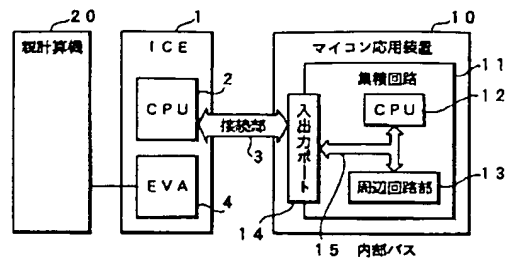
【図 2】本発明に係わるインサーキットエミュレータの他の実施の形態の概略構成を示すブロック図である。

【図 3】従来のインサーキットエミュレータの概略構成を示すブロック図である。

【符号の説明】

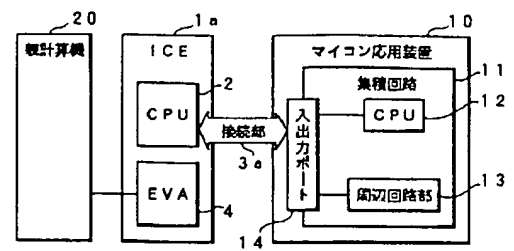
- 1 ICE (インサーキットエミュレータ)
- 2 CPU
- 3 接続部
- 4 EVA
- 11 集積回路
- 12 CPU
- 13 周辺回路部
- 14 入出力ポート
- 15 内部バス

【図1】



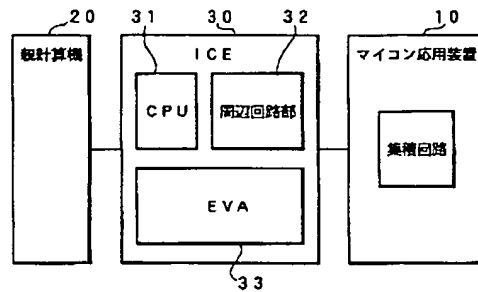
実施形態の一例の概略構成のブロック図

【図2】



他の実施の形態の概略構成のブロック図

【図3】



従来のICEの概略構成のブロック図